

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2000 年 12 月 07 日
Application Date

申請案號：089126108
Application No.

申請人：奇美電子股份有限公司
Applicant(s)

局長
Director General

BEST AVAILABLE COPY

陳明邦

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2002 年 1 月 14 日
Issue Date

發文字號：
Serial No.

09111000622

申請日期	
案 號	89126108
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	動態CMOS位準轉移電路裝置
	英 文	
二、發明 人 創作	姓 名	(1)卜令楷 (2)蕭全成 (3)洪坤成 (4)陳建賓
	國 籍	(1)中華民國(2)中華民國(3)中華民國(4)中華民國
	住、居所	(1)台南市實踐街103巷27弄20號 (2)嘉義縣布袋鎮龍江里14鄰新厝仔384-4號 (3)新竹市光復路一段476巷56號7樓 (4)台南縣永康市中山南路902巷21-36號
三、申請人	姓 名 (名稱)	奇美電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台南縣台南科學工業園區新竹市鄉奇業路一號
	代 表 人 姓 名	許 文 龍

J:\LILY\h06367.doc

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權

無

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要(發明之名稱：動態 CMOS 位準轉換電路裝置)

一種動態 CMOS 位準轉換電路裝置，可將數位電子系統中第一邏輯族系之具有較低電壓位準之信號，轉換為第二邏輯族系之較高電壓位準之信號。該轉換電路裝置包含有一第一電晶體配對，其包含有串聯連接的一第一 PMOS 電晶體與一第一 NMOS 電晶體，以及一第二電晶體配對，其包含有串聯連接的一第二 PMOS 電晶體與一第二 NMOS 電晶體，另有一電源關閉控制 PMOS 電晶體。其中第一與第二電晶體配對係並聯連接，且其並聯連結再與電源關閉控制 PMOS 電晶體串聯連接於系統之電源與接地電位之間。控制 PMOS 電晶體係被連接於電源端，且第一與第二 NMOS 電晶體係被連接於接地端。第一電晶體配對之該些電晶體的汲

英文發明摘要(發明之名稱：)

四、中文發明摘要(發明之名稱：)

極互相連接之節點，亦被連接至第二 PMOS 電晶體之閘極，且第二電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至第一 PMOS 電晶體之閘極。第一 NMOS 電晶體之閘極係作為輸入邏輯族系之信號輸入，第一 PMOS 電晶體之閘極係作為轉換電路裝置之轉換信號輸出。電源關閉控制 PMOS 電晶體之閘極係由一電源關閉控制信號所控制，以將第一與第二 PMOS 電晶體關閉，並持續關閉足夠第一與第二 NMOS 電晶體完成轉態所須之時間。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

五、發明說明()

發明之背景

本發明大致係有關於數位電子系統之中的電壓位準轉換。更特定而言，本發明係有關於可在數位電子系統中供切換信號電壓位準的一種動態 CMOS 位準轉換電路裝置。

在許多數位電子系統之中，電子信號的電壓位準之轉換，是為必要的動作。在一個數位電子系統之中，只要有兩種或以上，具不同操作信號電壓定值的邏輯電路族系，需要互相進行介面，則位準的轉換即是必要的作法。例如，一數位系統中以 3.3V 運作的微處理器，需要將其輸出信號由 3.3V 轉換為 5V，才能與系統中其他部份中的 TTL 邏輯電路相容。

這在諸如個人電腦之類的數位系統之中是不可避免的。PC 的微處理器一直在進步，其處理的速度越來越快，以追求越來越大的運算處理能力。不過，為了要在此類高性能微處理器中降低功率消耗，以平衡散熱的問題，較低的操作電壓是有其必要的。較低的操作電壓能夠確保消耗較低的功率，在可攜式數位裝置之中，消耗功率的降低，乃是最重要的設計考量因素之一。另一方面，PC 之中的必要次系統，諸如連結至 PCI 及 ISA 匯流排的組件裝置，則分別具有 3.3V 及 5V 的標準信號電壓位準。擁有 PCI 匯流排的 PC，其高性能微處理器則可能是以 2V 的較低電壓位準運作。為了能令此種微處理器得以與 PCI 及 ISA 次系統進行介面，位準轉換電路變成是必要的電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

路。

作為另一種例子，TFT LCD (Thin-Film Transistor Liquid Crystal Display, 薄膜電晶體液晶顯示器)的電晶體陣列之中，其電晶體需要有比電腦系統中其他電路相較之下較高的，約 12V 的電壓，才得以正常運作。對於以低於 5V 的操作電壓正常運作的電腦顯示器次系統而言，若要與 TFT LCD 中的電晶體陣列進行介面，便需要使用電壓位準轉換電路。這樣的一個電壓位準轉換電路，必須要能將顯示次系統的 5V 信號，轉換為 TFT LCD 運作標準的 12V 信號。

在又另一實例之中，典型的 EEPROM (Electrically Erasable-Programmable Read-Only Memory) 元件之程式化寫入電壓為至少 12V，顯著較其 5V 或 3.3V 的正常操作電壓為高。當 EEPROM 元件需要進行程式化時，便需要使用轉換器來提供 3.3V 或 5V 與 12V 之間的介面。除此之外，需要使用到信號電壓轉換器電路的，仍有許多其他各種的用途。

圖 1 之電路圖顯示一種典型習知技術位準轉換器的電路架構。此種轉換器電路 100 可應用於數位系統之中，將兩種邏輯族系之中較低電壓位準的信號，轉換到較高的電壓位準。在此種系統之中，位準轉換器 100 可將輸入 101 (IN) 處，以較低電壓位準工作的第一種邏輯信號，提升到較高的位準，以由其輸出 103 (OUT) 供應予第二種邏輯。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

位準轉換器 100 係由包含 PMOS 及 NMOS 的兩對 FET 所構成的，如同圖中以參考標號 110 及 120 所標示者。第一對 110 中有一 PMOS FET 111 與 NMOS FET 112 串聯連接，而此串聯成對的 FET 則被連接於系統的電源 V_{DD2} 及接地 GND 之間。由 PMOS FET 121 與 NMOS FET 122 串聯連接的第二對 120，依相似的方式，亦被直接地連接於 V_{DD2} 與 GND 之間。PMOS 及 NMOS 的兩對電晶體，實質上是並聯地被連結於系統的電源 V_{DD2} 及接地電位之間。

在兩個成對的串聯電晶體配對之中，PMOS FET 係連接於電源的一端，而 NMOS FET 是在接地的一端。在各對電晶體之中，PMOS 及 NMOS 兩者的汲極係被連接在一起，PMOS 的源極被連接到電源，而 NMOS 的源極則接地。

其中一對 FET 的汲極相連接的一節點，亦被連接到另一對 FET 中 PMOS FET 的閘極，如圖中第一及第二對電晶體的節點 104 及 103 (\overline{OUT} 及 OUT)。第一對 110 的 NMOS FET 112 的閘極，係作為輸入邏輯的信號輸入節點 101 (IN)，相較之下，第二對 120 的 NMOS FET 122 之閘極，則作為反相的信號輸入節點 102 (\overline{IN})。第二對 120 中 FET 121 與 122 的汲極相連的共同節點，則為位準轉換器 100 的輸出節點 103 (OUT)。相較之下，第一對 110 中 FET 111 與 112 的汲極相連的共同節點，則為轉換器的反相輸出 104 (\overline{OUT})。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

在圖 1 之習知技術位準轉換器 100 的電路架構之中，若輸入信號與經過位準轉換之後的輸出信號，兩者之間的電壓位準差距相對較大的話，則 NMOS FET 112 與 114 之功率便必須要足夠強大，並且要遠比其對應的 PMOS FET 111 及 113 為大。這是為了要能夠突破電路 100 之中所形成的正向回授迴路，以便電晶體元件的轉態得以發生。例如，考慮 V_{DD2} 為 5V， V_{DD1} 為 3.3V，且電晶體元件的啟始電壓(threshold voltage) V_T 為 1V 的情況。在此應注意到 V_{DD2} 及 V_{DD1} 係分別為高及低電壓位準邏輯系統的電源電壓。如此，NMOS FET 的汲極電流 I_N 便可依下式而決定：

$$I_N = k_N(V_{DD1} - V_T)^2 = 5.29 \text{ k}_N.$$

另一方面，NMOS FET 的汲極電流則可依下式而定：

$$I_P = k_P(V_{DD2} - V_T)^2 = 16 \text{ k}_P,$$

其中 k_N 及 k_P 係分別為 NMOS 及 PMOS 元件的互導(transconductance)參數。

在 3.3V 至 5V 的轉換系統之中，若比較 NMOS 及 PMOS 元件的互導參數，便可以發現，為了要確保轉換器 100 中能夠發生轉態， k_N 必須至少是要比 k_P 大上三倍以上($16/5.29 = 3.02$)。若轉換後的輸出電壓要比輸入信號的電壓顯著大上許多，則此差距便會變得更大。例如，在諸如 TFT LCD 的電晶體矩陣中，若其電晶體的 V_{DD2} 為 12V，則 k_N 便會比 k_P 至少大上 23 倍($121/5.29 = 22.87$)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

此外，轉換器電晶體之轉換電流，亦會隨著元件尺寸的增加而亦增加。雖然諸如先前圖 1 中所描述，以 CMOS 邏輯為基礎之習知技術動態轉換器，可享有幾乎為零的穩態電流，但對於諸如 TFT LCD 的用途而言，過大的轉換電流變成了節約電力上的一個主要問題。這對於以電池驅動的可攜式裝置而言，更是真確。在前述的實例之中，12V V_{DD2} 的系統中的電流消耗要比 5V 者大上 7.56 倍($((12 - 1)^2 / (5 - 1)^2 = 7.56)$)。若換算為功率消耗，則較大電晶體元件的消耗便約為較小者的 18 倍(消耗功率 = $VI = (12(12-1)^2) / (5(5-1)^2) = 18.15$)。

如此，當所要進行轉換的兩信號之間的電壓差相較較大時，顯然類如圖 1 中所描述之習知技術位準轉換電路，會有至少兩大缺陷。首先，電路之中的某些電晶體，由於其必須處理遠為較大的電流，因此相較於其他者，必須被製作得不對稱地大。其次，亦由於相對較大電流的緣故，其所消耗之轉換功率，亦會變得不對稱地過大。

因此，本發明之一目的即在於提供一種動態 CMOS 位準轉換電路裝置，其能夠將具有一輸入電壓位準的一個信號，轉換為具有相對遠為較高電壓為準的另一信號，但其轉換電路中所使用之各電晶體的尺寸大小則相當。

本發明之另一目的係在於提供一種動態 CMOS 轉換電路裝置，其能夠將具有一輸入電壓位準的一個信號，轉換為具有相對遠為較高電壓為準的另一信號，但其轉換電路中所使用之各電晶體的電流大小則相當。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

發明之概要

為達成前述目的，本發明提供一種動態 CMOS 位準轉換電路裝置，可將數位電子系統中第一邏輯族系之具有較低電壓位準之信號，轉換為第二邏輯族系之較高電壓位準之信號。該轉換電路裝置包含有一第一電晶體配對，其包含有串聯連接的一第一 PMOS 電晶體與一第一 NMOS 電晶體，以及一第二電晶體配對，其包含有串聯連接的一第二 PMOS 電晶體與一第二 NMOS 電晶體，另有一電源關閉控制 PMOS 電晶體。其中第一與第二電晶體配對係並聯連接，且其並聯連結再與電源關閉控制 PMOS 電晶體串聯連接於系統之電源與接地電位之間。控制 PMOS 電晶體係被連接於電源端，且第一與第二 NMOS 電晶體係被連接於接地端。第一電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至第二 PMOS 電晶體之閘極，且第二電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至第一 PMOS 電晶體之閘極。第一 NMOS 電晶體之閘極係作為輸入邏輯族系之信號輸入，第一 PMOS 電晶體之閘極係作為轉換電路裝置之轉換信號輸出。電源關閉控制 PMOS 電晶體之閘極係由一電源關閉控制信號所控制，以將第一與第二 PMOS 電晶體關閉，並持續關閉足夠第一與第二 NMOS 電晶體完成轉態所須之時間。

圖式之簡要說明

圖 1 為一電路圖，其中顯示可為一數位系統中之兩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

種邏輯提供電壓轉換的一種習知技術位準轉換電路；

圖 2 為一電路圖，其中顯示本發明第一種實施例之動態位準轉換電路裝置；

圖 3 為一時序圖，其中顯示圖 2 之轉換電路裝置，其額外控制電晶體之輸入，輸出及控制信號的切換波形；

圖 4 顯示本發明第二實施例之轉換電路裝置之電路圖，其中具有採用了反相器的，經互補轉換的輸出信號；

圖 5 顯示本發明另一實施例之轉換電路裝置之電路圖，其可避免其反相器之浮動輸入的狀態；

圖 6 顯示本發明又一實施例之轉換電路裝置之電路圖，其係特別適於在信號電壓差特別大的兩邏輯族系之間進行信號轉換的用途；與

圖 7 為一電路圖，其中顯示依據本發明之觀念之一轉換電路裝置，其可適於將數位信號轉換為負值電壓的用途。

較佳實施例之詳細說明

圖 2 為一電路圖，其中顯示本發明第一種實施例之動態位準轉換電路裝置。轉換電路 200 係被應用於在一數位系統的兩種邏輯電路族系之間進行信號電壓位準的轉換用途。位準轉換器 200 可將其輸入節點 201 上，第一種邏輯族系的較低操作電壓的信號，轉換提升為第二種邏輯族系所需要的，較高電壓的信號，並於節點 203 輸出。

與諸如圖 1 所示之習知技術位準轉換器相較之下，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

本發明之位準轉換器 200 包含有一電流控制電晶體，以及與圖 1 所描述者相似的一個基本轉換器。如圖 2 所示，本發明實施例位準轉換電路裝置 200 具有一個大致以參考標號 100 所標示的基本位準轉換電路，其係與一個控制電流的 PMOS 電晶體 230 串聯於電源 V_{DD2} 與接地電位 GND 之間。

基本位準轉換電路 100 包含有兩對，PMOS 與 NMOS 的 FET，分別以參考標號 210 及 220 加以標示。第一對 210 有串聯的一 PMOS FET 211 與一 NMOS FET 212 串聯，而相似地，第二對 220 則有串聯的一 PMOS FET 221 與一 NMOS FET 222，且第一及第二兩對係並聯連接。並聯連接的兩對 PMOS 及 NMOS FET 210 與 220，接著再與 PMOS FET 230 串聯連接於電源 V_{DD2} 與接地電位 GND，系統的兩電壓位準之間。

在基本位準轉換電路 100 的兩對串聯 PMOS 與 NMOS 元件之中，PMOS FET 211 與 221 係連接於電源的一端，而其 NMOS 212 與 222 則係連接於接地的一端。各對 PMOS 與 NMOS FET 之中，其各自之汲極係被連接在一起，PMOS FET 的源極被連接至電源，而 NMOS FET 的源極則被接地。

圖 2 之實施例之中，PMOS 電晶體 230 係被用來控制基本轉換器 100 中之 PMOS 電晶體 211 與 221 的電流。其控制係利用在操作時，對 PMOS 電晶體 230 的閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

極 231，提供一個電源關閉的控制信號(PWD)，並持續一個既定時間而達成。電源關閉控制信號持續施加的時間，必須要足夠長到基本轉換器電路 100 中的 NMOS 電晶體 212 及 222，能夠完成其由於在輸入 NMOS 電晶體 212 之閘極 201 上輸入信號，其結果所造成之轉態。

圖 3 為一時序圖，其中顯示圖 2 之轉換電路裝置 200 之輸入，輸出，以及 PMOS 電晶體 230 的控制信號 PWD ，之切換波形。PMOS 電晶體 230 的高電位激活(Active-high)電源關閉控制信號，係在互補的輸入信號(IN/\overline{IN})，分別被供應予轉換電路裝置的輸入節點 201 與 202，因而啟動了位準轉換動作的時點 $T1$ 之時被施加的。隨著電源關閉控制信號 PWD 的施加，圖 2 中基本轉換器 100 中的 PMOS 電晶體 211 及 221 的電源，即被關閉，並持續足夠長的時間，直至 $T2$ 時為止，此時，基本轉換器 100 中的 NMOS 電晶體 212 及 222 已完成了其狀態轉換。

如此，在圖 2 之轉換電路裝置之中，當位準轉換的轉態正在進行之時，此 PMOS 元件 230 的存在，避免了基本轉換電路 100 之中，NMOS 及 PMOS 電晶體的同時導通。在 NMOS 電晶體 212 與 222 轉態發生的期間，PMOS 控制電晶體 230 之作用係在於切斷對於 PMOS 電晶體 211 及 221 的電流供應。這可容許 NMOS 電晶體 212 與 222 能夠獨立於其對應的 PMOS 電晶體之外而單獨動作。只有在其對應的 NMOS 電晶體 212 及 222 完成

五、發明說明 ()

其轉態動作之後，PMOS 電晶體 211 及 221 才會被致能。圖 2 之電路安排的立即而明顯的好處是，其排除了基本轉換電路 100 之 NMOS 電晶體，其處理電流的能力，必須要遠大於其對應 PMOS 電晶體之需求。

注意到圖中並未顯示出能夠產生 PWD 之控制信號波形的控制電路，這是由於此類控制電路在本技藝中係屬習知之故。

如圖 3 的切換波形圖中所顯示的，當 PMOS 控制電晶體 230 將 PMOS 電晶體 211 與 221 關閉時，轉換電路裝置 200 在其節點 203 與 204 上的互補輸出 OUT 與 \overline{OUT} 之電氣狀態，即分別同時地變換為低電位。對於諸如 TFT LCD 之類的某些用途而言，此種狀態就算是只持續了 $T1$ 至 $T2$ 的短暫時間，仍是無法接受的情況。此種狀態會使同時接受 OUT 與 \overline{OUT} 之輸入的，後續的電路，造成邏輯混亂的情形。

為了要避免互補的 OUT 與 \overline{OUT} 變成具有相同電氣極性的信號，信號 \overline{OUT} 的節點 204 可予放棄。 OUT 信號的互補信號可利用，例如，一反相器，而由其本身節點 203 上得出。圖 4 顯示本發明一實施例之轉換電路裝置之電路圖，其中具有採用了反相器的，經互補轉換的輸出信號。

如圖 4 中所顯示的，依據本發明另一實施例的轉換電路裝置 400 包含有一轉換器 200 及一對串聯連接的反相器 441 與 442。轉換器 200 可為與圖 2 中所描述者相類似的轉換器。轉換器 200 的轉換輸出節點(403)被連接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

至第一反相器 441 的輸入。第一反相器 441 的輸出則被連接至第二反相器 442 的輸入。

兩反相器 441 及 442 係被串聯連接，以便提供節點 203 之轉換後輸出信號的一個單次反相及一個雙次反相本的信號。節點 403 上雙次反相的信號 OUT_R 以及節點 404 上單次反相的信號 $\overline{OUT_R}$ ，兩者可構成系統之第二選族系所需之，經位準轉換後的成對互補信號。應予注意的是，若只使用單一只反相器亦是可行的。例如，在圖 4 之轉換器 400 之中，反相器 442 是可省略的。在這樣的路結構之中，當節點 404 產生反相的輸出信號 \overline{OUT} 時，節點 203 則可提供正常的，經位準轉換的信號 OUT 。不過，就某些應用用途而言，當考量到輸出信號的驅動能力時，仍可能會需要使用到兩個反相器。

圖 4 中的轉換電路裝置 400 之輸出節點 203 (OUT)，有一種情況會變為浮動的狀態。若節點 203 (OUT 節點) 的先前狀態是高電位的狀態，而須進行轉換的狀態亦維持為高電位，亦即，在後續的操作時相之中未有電位狀態的轉換，當控制關閉的信號 PWD 被供應給轉換器 400 的節點 231 時，NMOS 電晶體 222 將保持關斷。此種情況會造成節點 203 的浮動狀態。

不過，由此節點 203 所直接饋入的，諸如反相器 441 的一個浮動輸入，可能會導致反相器進入一種暫穩態的狀態 (meta-stable status)。在暫穩態之中，會有大電流流經反相器，而此種大電流的流動是一種不被期望的情

點請先閱讀背面之注意事項再填寫本頁

裝

訂

線

五、發明說明 ()

形。圖 5 顯示本發明另一實施例之轉換電路裝置之電路圖，其可免除其反相器被陷入此種情況。其中可以加入另一個 NMOS 電晶體 550，此電晶體可以可控制之方式將節點 203 連接到接地電位。此 NMOS 電晶體 550 可以同樣利用由節點 231 而饋給 PMOS 電晶體 230 之閘極的關控制信號 PWD 加以控制。

如此，當關閉控制信號 PWD 將 PMOS 電晶體 212 與 221 切斷時，在此種情況之下不改變其狀態的 NMOS 電晶體 222，由於 NMOS 電晶體 550 被節點 231 的控制信號 PWD 所打開的緣故，即可以將其節點 203 實質地接地。

不過，應注意到除了 NMOS 電晶體 550 以外，亦可以利用其他的方式來達成避免圖 5 中反相器 441 接受浮動輸入的情況。例如，連接於反相器 441 的輸入(節點 203)與接地電位之間的一個簡單的電阻，亦可以達成相同的目的。不過，如同習於本技藝之士所可以注意到者，為了此一目的而製作一個 NMOS 電晶體並不見得會比製作一個電阻來得複雜而昂貴。

圖 6 顯示本發明又一實施例之轉換電路裝置之電路圖，其係特別適於在信號電壓差特別大的兩邏輯族系之間進行信號轉換的用途。就圖 4 及 5 中的轉換電路裝置而言，在所轉換的信號之電壓位準要比輸入顯著為高的極端情況之中，亦即，當 $V_{DD2} \gg V_{DD1}$ 時，基本轉換器之中 NMOS 電晶體(圖 4 及 5 中的 212 與 222)內的電流，

五、發明說明()

便會比其對應的 PMOS 電晶體(分別為圖 4 及 5 中的 211 與 221)之內的電流，要來得遠為較小。

由於引入電源關閉控制 PMOS 電晶體(圖 4 及 5 中的 230)之緣故，在本發明之轉換器中的 PMOS 與 NMOS 電晶體，可以有利地具有相當大小的元件尺寸，因而可以達成上述情況。不過，亦如同前述，當 $V_{DD2} \gg V_{DD1}$ 時，本發明顯示於圖 4 及 5 中的轉換電路裝置實施例，便可能會在其 NMOS 電晶體中，出現較之在其對應之 PMOS 電晶體內，不成比例較小的電流。

例如，若 V_{DD2} 遠比 V_{DD1} 為高，而基本轉換器中的 PMOS 電晶體 211 與 221 以及 NMOS 212 與 222，皆被製作得具有相當大小的尺寸時，則 NMOS 電晶體 212 與 222 內的電流，會變得比 PMOS 電晶體 211 與 221 中之電流遠為較小。

若 NMOS 電晶體的電流真比其在轉換器內對應之 PMOS 電晶體內之電流相對小很多，例如，在圖 5 中的情況，雖然甚至 NMOS 電晶體已能成功地轉換狀態，但當 PMOS 電晶體在關閉控制信號 PWD 被送至 PMOS 電晶體 230 之後而再被致能時，其中仍然有轉態失敗的風險。這是由於當 NMOS 電晶體的電流變得比之其對應 PMOS 電晶體內之電流遠為較小時，其在系統之中即變成可以被忽略的小電流的緣故。此種小電流不足以令 NMOS 電晶體 212 與 222 完成其正常的動作。

為了解決此種問題，可以應用諸如圖 6 中所顯示

的請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

的，經進一步修改後的轉換電路裝置。圖 6 中依據本發明另一實施例的轉換器 600，是為前述圖 5 中實施例之種修改版本。特定而言，圖 5 中的轉換器 500 與其電 V_{DD2} 之間被插入了一個額外的 PMOS 電晶體 660。

此一增加之 PMOS 電晶體 660，係由供應至轉換電路裝置 600 的節點 661 的一個偏壓 V_B 所控制的。節點 661 是為 PMOS 電晶體 660 的閘極。偏壓 V_B 控制電晶體 660 以作為一個常定電流源的功能。作為一個受控電流源，PMOS 電晶體 660 可以限制流經 PMOS 電晶體 211 與 221 的電流大小，以實質地避免 PMOS 的電流，變成相對太大的電流。

依據本發明的此種轉換電路裝置 600，係特別地適合於兩互相介面的邏輯族系之信號電壓差距特別大的用途。不過，應要注意的是，不論是依據圖 2 或 4 中的轉換器所建構的，實質上相類似的轉換電路裝置，其具有一 PMOS 電晶體被插入其 PMOS 電晶體 230 與電源 V_{DD2} 之間者，亦皆可適用於轉換信號電壓位準差距較大的用途。

圖 7 為一電路圖，其中顯示依據本發明之觀念之一轉換電路裝置，其可適於將數位信號轉換為負值電壓的用途。此種轉換器 700 之電路架構，除了其 PMOS 及 NMOS 元件被反轉之外，實質上係與圖 2 中的轉換器 200 等效。其結果，轉換器 700 便必須要連接至一個負值的電壓 V_{EE2} ，以便能夠正常地動作，並將一個較低電

五、發明說明()

壓位準的信號轉換成為一個具較大電壓位準的負值信號。

如圖 7 中所顯示的，電晶體對 710 與 720 係為並聯連接，且其並聯連結並再與一個電源關閉控制 NMOS 電晶體 730 一起，被串聯連接於電源 V_{EE2} 與系統的接地位 GND 之間。在此種電路架構之中，控制 NMOS 電晶體 730 係被連接在電源(V_{EE2})的一端，而 PMOS 電晶體 711 及 721 則被連接於接地的一端。

電晶體配對 710 的電晶體 711 與 712，其汲極被相互連接的節點 704，亦被連接至 NMOS 電晶體 722 的閘極，而電晶體配對 720 的電晶體 721 與 722，其汲極被相互連接的節點，亦被連接至 NMOS 電晶體 712 的閘極。

PMOS 電晶體 711 的閘極係作為輸入邏輯族系的信號輸入端。NMOS 電晶體 712 的閘極，則係作為轉換電路裝置 700 的轉換後信號輸出入端。關閉控制 NMOS 電晶體 730 的閘極 731 係由一關閉控制信號 PWD 所控制，以將 NMOS 電晶體 712 與 722 關閉，並持續關閉足以令 PMOS 電晶體 711 與 721 穩定其狀態轉換所需要的一段時間。其時序的控制，如同習於本技藝之士所可以瞭解者，係可以利用與圖 3 中所顯示者相似的方式來達成。

與本發明圖 4，5 及 6 中所顯示之轉換電路裝置相類似，但其 FET 元件之極性相反之實施例，亦皆同樣是可行的。

五、發明說明()

雖然前面已是特定實施例的一個完整的說明，但其各種的修改變化，變動的構造及等效者的應用仍是可能的。因此，前面的描述說明即不應被拿來限定本發明，而其範疇應以後附之申請專利範圍乙節文字內容來加以界定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種動態 CMOS 位準轉換電路裝置，可將一數位電子系統中，一第一邏輯族系之具有較低電壓位準之一第一信號，轉換為一第二邏輯族系之較高電壓位準之第二信號，該轉換電路裝置包含有：

一第一電晶體配對，包含有串聯連接的一第一 PMOS 電晶體與一第一 NMOS 電晶體；

一第二電晶體配對，包含有串聯連接的一第二 PMOS 電晶體與一第二 NMOS 電晶體；

一電源關閉控制 PMOS 電晶體；其中

該第一與第二電晶體配對係並聯連接，且該並聯連結再與該電源關閉控制 PMOS 電晶體串聯連接於該系統之電源與接地電位之間，其中該控制 PMOS 電晶體係被連接於電源端，且該第一與第二 NMOS 電晶體係被連接於接地端；

該第一電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至該第二 PMOS 電晶體之閘極，且該第二電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至該第一 PMOS 電晶體之閘極；且

該第一 NMOS 電晶體之閘極係作為該輸入邏輯族系之信號輸入；該第一 PMOS 電晶體之閘極係作為該轉換電路裝置之轉換信號輸出；且該電源關閉控制 PMOS 電晶體之閘極係由一電源關閉控制信號所控制，以將該第一與第二 PMOS 電晶體關閉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

，並持續關閉足夠該第一與第二 NMOS 電晶體完成轉態所須之時間。

2. 如申請專利範圍 1 項之轉換電路裝置，其更包含有一第一反相器與一第二反相器，其中該第一與第二反相器係串聯連接，該第一反相器之輸入係被連接至該輸出，且該第一反相器之輸出與該第二反相器之輸出產生該轉換輸出之一對互補信號。

3. 一種動態 CMOS 位準轉換電路裝置，可將一數位電子系統中，一第一邏輯族系之具有較低電壓位準之一第一信號，轉換為一第二邏輯族系之較高電壓位準之第二信號，該轉換電路裝置包含有：

一第一電晶體配對，包含有串聯連接的一第一 PMOS 電晶體與一第一 NMOS 電晶體；

一第二電晶體配對，包含有串聯連接的一第二 PMOS 電晶體與一第二 NMOS 電晶體；

一電源關閉控制 PMOS 電晶體；與

一第一反相器與一第二反相器；其中

該第一與第二電晶體配對係並聯連接，且該並聯連結再與該電源關閉控制 PMOS 電晶體串聯連接於該系統之電源與接地電位之間，其中該控制 PMOS 電晶體係被連接於電源端，且該第一與第二 NMOS 電晶體係被連接於接地端；

該第一電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至該第二 PMOS 電晶體之閘極，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

且該第二電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至該第一 PMOS 電晶體之閘極；且

該第一 NMOS 電晶體之閘極係作為該輸入邏輯族系之信號輸入；該第一 PMOS 電晶體之閘極係被連接至該第一反相器之輸入；該第一反相器之輸出係被連接至該第二反相器之輸入；該第二反相器之輸出係作為該轉換電路裝置之轉換信號輸出；且該電源關閉控制 PMOS 電晶體之閘極係由一電源關閉控制信號所控制，以將該第一與第二 PMOS 電晶體關閉，並持續關閉足夠該第一與第二 NMOS 電晶體完成轉態所須之時間。

4. 如申請專利範圍 3 項之轉換電路裝置，其更包含有一第三 NMOS 電晶體，其中該第三 NMOS 電晶體之汲極與源極係分別被連接至該第一反相器之輸入與該系統之接地電位。
5. 如申請專利範圍 3 項之轉換電路裝置，其更包含有一電阻，該電阻係被連接於該第一反相器之輸入與該系統之接地電位之間。
6. 一種動態 CMOS 位準轉換電路裝置，可將一數位電子系統中，一第一邏輯族系之具有較低電壓位準之一第一信號，轉換為一第二邏輯族系之較高電壓位準之第二信號，該轉換電路裝置包含有：
一第一電晶體配對，包含有串聯連接的一第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

PMOS 電晶體與一第一 NMOS 電晶體；
一第二電晶體配對，包含有串聯連接的一第二
PMOS 電晶體與一第二 NMOS 電晶體；
一電源關閉控制 PMOS 電晶體；
一第一反相器與一第二反相器；與
一第三 NMOS 電晶體；其中

該第一與第二電晶體配對係並聯連接，且該並聯連
結再與該電源關閉控制 PMOS 電晶體串聯連接於
該系統之電源與接地電位之間，其中該控制 PMOS
電晶體係被連接於電源端，且該第一與第二 NMOS
電晶體係被連接於接地端；

該第一電晶體配對之該些電晶體的汲極互相連接之
節點，亦被連接至該第二 PMOS 電晶體之閘極，
且該第二電晶體配對之該些電晶體的汲極互相連接
之節點，亦被連接至該第一 PMOS 電晶體之閘極
；且

該第一 NMOS 電晶體之閘極係作為該輸入邏輯族
系之信號輸入；該第一 PMOS 電晶體之閘極係被
連接至該第一反相器之輸入；該第一反相器之輸出
係被連接至該第二反相器之輸入；該第二反相器之
輸出係作為該轉換電路裝置之轉換信號輸出；該第
三 NMOS 電晶體之汲極與源極係分別被連接至該
第一反相器之輸入與該系統之接地電位；且該電源
關閉控制 PMOS 電晶體之閘極係由一電源關閉控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

制信號所控制，以將該第一與第二 PMOS 電晶體關閉，並持續關閉足夠該第一與第二 NMOS 電晶體完成轉態所須之時間。

7. 如申請專利範圍 1 項之轉換電路裝置，其更包含有一第三 PMOS 電晶體，其被連接於該系統之電源位準與該電源關閉控制 PMOS 電晶體之間。

8. 一種動態 CMOS 位準轉換電路裝置，可將一數位電
子系統中，一第一邏輯族系之具有較低電壓位準之
一第一信號，轉換為一第二邏輯族系之較高電壓位
準之第二信號，該轉換電路裝置包含有：

一第一電晶體配對，包含有串聯連接的一第一 PMOS 電晶體與一第一 NMOS 電晶體；

一第二電晶體配對，包含有串聯連接的一第二 PMOS 電晶體與一第二 NMOS 電晶體；

一第三 PMOS 電晶體；與

一電源關閉控制 PMOS 電晶體；其中

該第一與第二電晶體配對係並聯連接，且該並聯連結再與該電源關閉控制 PMOS 電晶體以及該第三 PMOS 電晶體串聯連接於該系統之電源與接地電位之間，其中該第三 PMOS 電晶體係被連接於電源端，且該第一與第二 NMOS 電晶體係被連接於接地端；

該第一電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至該第二 PMOS 電晶體之閘極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

且該第二電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至該第一 PMOS 電晶體之閘極；且

該第一 NMOS 電晶體之閘極係作為該輸入邏輯族系之信號輸入；該第一 PMOS 電晶體之閘極係作為該轉換電路裝置之轉換信號輸出；且該電源關閉控制 PMOS 電晶體之閘極係由一電源關閉控制信號所控制，以將該第一與第二 PMOS 電晶體關閉，並持續關閉足夠該第一與第二 NMOS 電晶體完成轉態所須之時間。

9. 如申請專利範圍 8 項之轉換電路裝置，其中該第三 PMOS 電晶體係為一常定電流源。

10. 一種動態 CMOS 位準轉換電路裝置，可將一數位電子系統中，一第一邏輯族系之具有較低電壓位準之一第一信號，轉換為一第二邏輯族系之較高電壓位準之第二信號，該轉換電路裝置包含有：

一第一電晶體配對，包含有串聯連接的一第一 NMOS 電晶體與一第一 PMOS 電晶體；

一第二電晶體配對，包含有串聯連接的一第二 NMOS 電晶體與一第二 PMOS 電晶體；與

一電源關閉控制 NMOS 電晶體；其中

該第一與第二電晶體配對係並聯連接，且該並聯連結再與該電源關閉控制 NMOS 電晶體串聯連接於該系統之電源與接地電位之間，其中該控制 NMOS

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

電晶體係被連接於電源端，且該第一與第二 PMOS 電晶體係被連接於接地端；

該第一電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至該第二 PMOS 電晶體之閘極，且該第二電晶體配對之該些電晶體的汲極互相連接之節點，亦被連接至該第一 PMOS 電晶體之閘極；且

該第一 PMOS 電晶體之閘極係作為該輸入邏輯族系之信號輸入；該第一 NMOS 電晶體之閘極係作為該轉換電路裝置之轉換信號輸出；且該電源關閉控制 NMOS 電晶體之閘極係由一電源關閉控制信號所控制，以將該第一與第二 NMOS 電晶體關閉，並持續關閉足夠該第一與第二 PMOS 電晶體完成轉態所須之時間。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

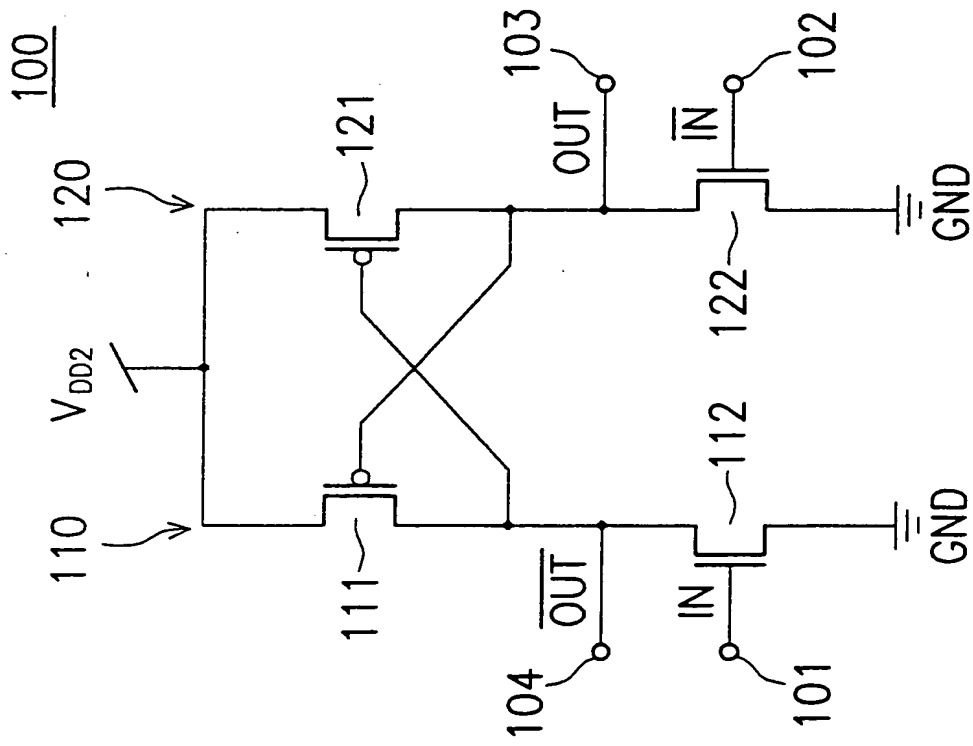


圖 1 (習知技術)

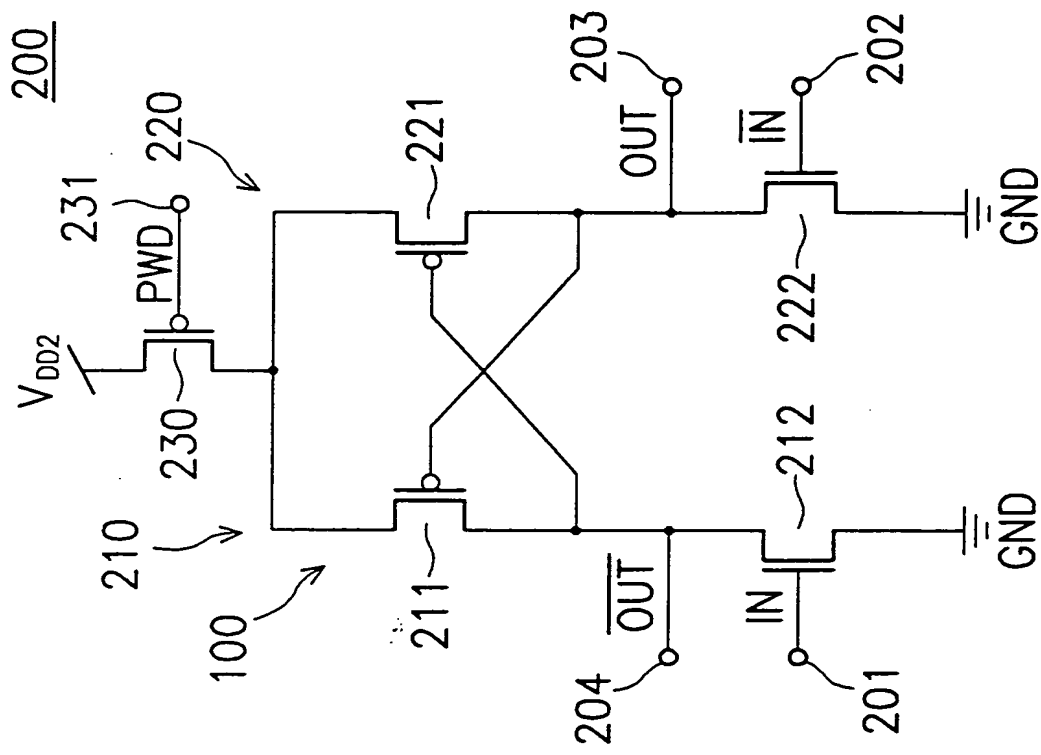


圖 2

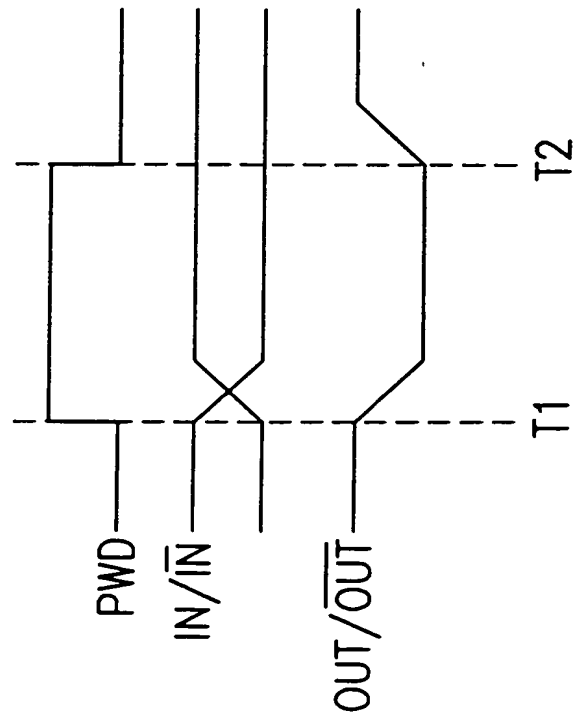


圖 3

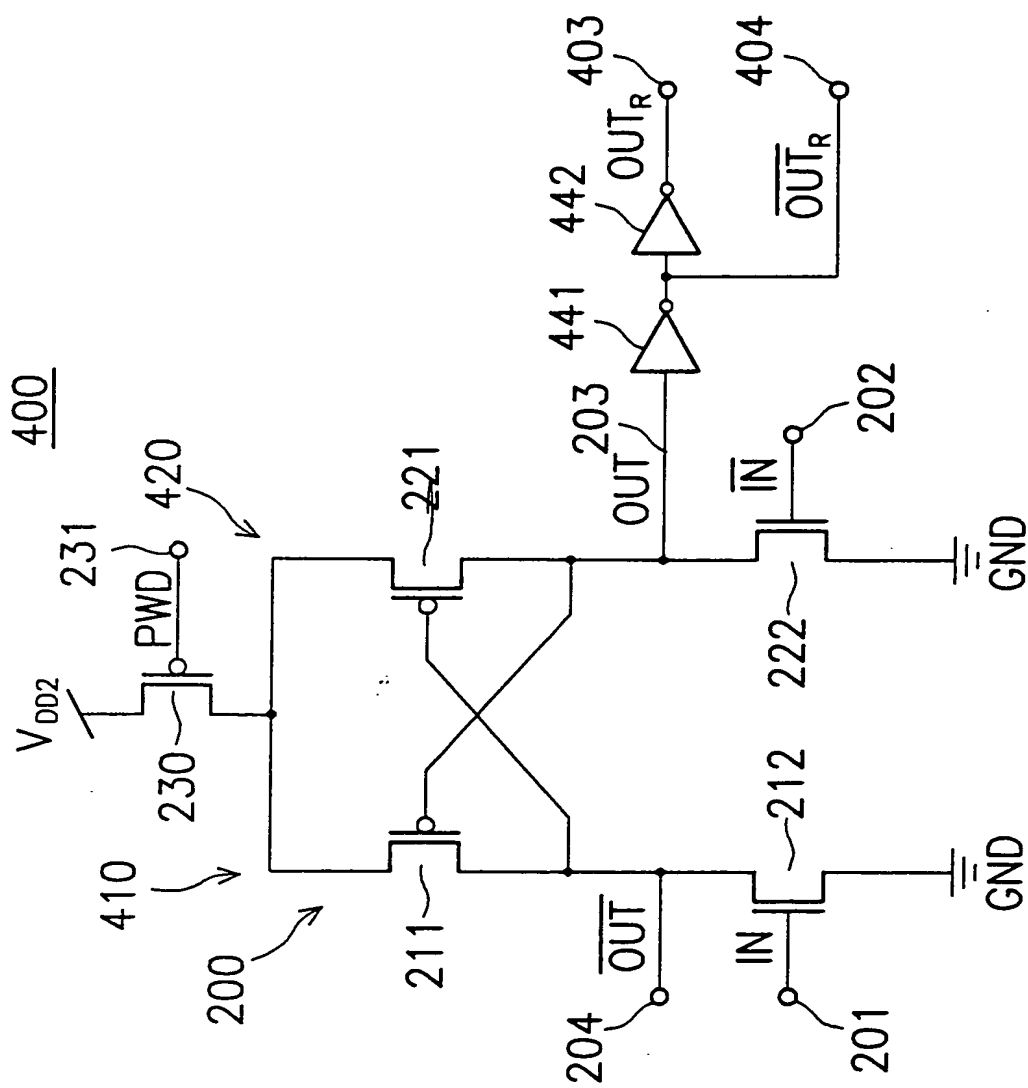


圖 4

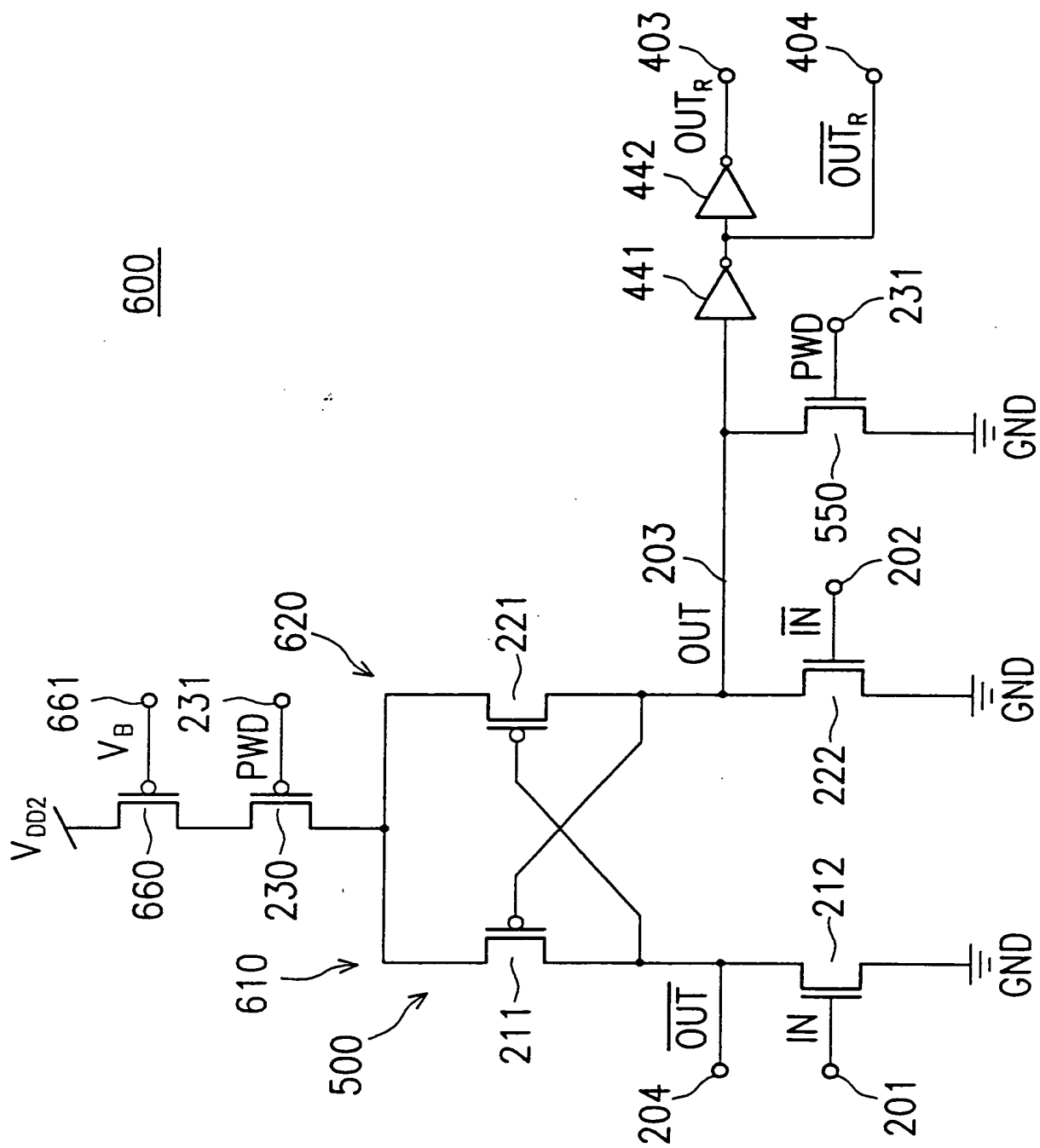


圖 6

